

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 08 926.8

**Anmeldetag:** 28. Februar 2003

**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE

**Bezeichnung:** Halbleiterchipanordnung und Verfahren zu  
ihrer Herstellung

**IPC:** H 01 L 25/065

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. Februar 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trade Mark Office.

Klostermeyer

## Halbleiterchipsanordnung und Verfahren zu ihrer Herstellung

## Beschreibung

- 5 Die vorliegende Erfindung bezieht sich auf eine Halbleiterchipsanordnung, bei der der Austausch von Signalen zwischen den Halbleiterchips nicht über die Platine sondern über laterale Kontakte, d.h. über Kontakte in den Chip-Seitenflächen erfolgt.
- 10 In herkömmlichen Halbleiterchips sind die Kontakte, über die Signale zwischen verschiedenen Chips ausgetauscht werden, auf der Oberseite des Chips angebracht, auf der auch die elektronischen Schaltkreise angeordnet sind. Je nach verwendetem
- 15 Packagetyp werden diese Kontakte mit einer geeigneten Zwischenschicht (z.B. Interposer oder Zwischenplatine) auf entsprechende Gegenkontakte in einer Platine gelötet. Die Signalübertragung zwischen mehreren Halbleiterchips erfolgt über Leiterbahnen der Platine.
- 20 Mit dem bisher verwendeten Konzept der Signalübertragung über Platinen-Leiterbahnen ergibt sich das Problem, daß Signale stets über mehrere Kontaktstellen, nämlich vom Chip zur Platinen-Leiterbahn und von der Platinen-Leiterbahn zum Chip, und über große Entfernungen übertragen werden müssen. Bei einer hohen Leiterbahndichte werden außerdem teurere Mehrlagenplatinen notwendig, deren Preis mit jeder zusätzlichen Leiterbahnschicht ansteigt.
- 25
- 30 Diese Probleme stehen einer ständigen Beschleunigung der Signalübertragung bei einer Verringerung der relativen Signalamplituden, d.h. der Spannungswerte, sowie einer stetigen Verkleinerung der elektronischen Gesamtsysteme im Wege.
- 35 In der US-Patentschrift 6,014,313 wird eine dreidimensionale Halbleiterchipsanordnung beschrieben, bei der horizontale elektrische Verbindungen zwischen benachbarten Chips ver-

schiedener Chipstapel über Verbindungselemente, die über den benachbarten Chips angeordnet sind, bereitgestellt werden. Ein elektrischer Kontakt zwischen jeweils den Chips und diesen Verbindungselementen wird jedoch, wie auch genauer in der  
5 US-Patentschrift 5,963,689 ausgeführt wird, wieder über Oberflächenkontakte hergestellt.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine verbesserte Halbleiterchipanordnung aus einem Trägerelement  
10 und mindestens zwei Halbleiterchips bereitzustellen, bei der auf einfache und besonders effiziente Weise Signale zwischen den Halbleiterchips ausgetauscht werden können.

Gemäß der vorliegenden Erfindung wird die Aufgabe gelöst  
15 durch eine Halbleiterchipanordnung gemäß Anspruch 1 mit einem Trägerelement und mindestens einem ersten und einem zweiten Halbleitersubstrat, wobei jedes der beiden Halbleitersubstrate mindestens eine Leiterbahn sowie mindestens einen mit einer Leiterbahn elektrisch verbundenen Kontaktbereich, welcher  
20 in einer Seitenfläche des Halbleitersubstrats angeordnet ist, aufweist und wobei die zwei Halbleitersubstrate derart nebeneinander oder aufeinander auf dem Trägerelement angeordnet sind, daß jeweils die senkrecht zu der Seitenfläche verlaufende erste Hauptfläche der Halbleitersubstrate auf dem Trägerelement oder dem jeweils anderen Halbleitersubstrat auf-  
25 liegt und ein elektrischer Kontakt zwischen den Kontaktbereichen der zwei Halbleitersubstrate hergestellt ist.

Die Aufgabe wird ferner gelöst ein Verfahren gemäß Anspruch 4  
30 mit den Schritten:

- Bereitstellen eines Trägerelements,
- Bereitstellen mindestens eines ersten und eines zweiten Halbleitersubstrats, wobei jedes der beiden Halbleitersubstrate mindestens eine Leiterbahn sowie mindestens einen  
35 mit einer Leiterbahn elektrisch verbundenen Kontaktbereich, welcher in einer Seitenfläche des Halbleitersubstrats angeordnet ist, aufweist,

- Aufbringen der zwei Halbleitersubstrate derart nebeneinander oder aufeinander auf dem Trägerelement, daß jeweils eine senkrecht zu der Seitenfläche verlaufende erste Hauptfläche der Halbleitersubstrate auf dem Trägerelement oder auf dem jeweils anderen Halbleitersubstrate aufliegt und ein elektrischer Kontakt zwischen den Kontaktbereichen der zwei Halbleitersubstrate hergestellt wird.

Die vorliegende Erfindung sieht vor, daß die elektrischen Signale nicht nur über die konventionellen Kontakte an der Chipoberseite, sondern auch über laterale Kontakte, die an den seitlichen Chipflächen freiliegen, übertragen werden. Die lateralen Kontakte können dabei als horizontal und/oder vertikal verbindende Kontakte, die sich in der seitlichen Chipfläche etwa bis zur Chipunterseite erstrecken, ausgeführt sein. Horizontale Kontakte werden dabei zwischen auf der Platine nebeneinander liegenden Chips ausgebildet, während vertikal verbindende Kontakte übereinanderliegende Chips verbinden.

Die lateralen Kontakte können so ausgeführt sein, daß die Kontakte außerhalb des Chips angebracht sind, indem sie beispielsweise in einen Sägerahmen (Kerf), der keinerlei Chipkomponenten sondern lediglich beispielsweise Teststrukturen enthält, integriert sind. Beim Zerteilen der Wafer wird dieser Sägerahmen üblicherweise entfernt; enthält er jedoch die lateralen Kontakte, so sind die Wafer derart zu zerteilen, daß zunächst jeweils ein kleiner Teil des Sägerahmens mit den lateralen Kontakten erhalten bleibt. Nach dem Vereinzelungsschritt kann dann dieser Teil des Sägerahmens beispielsweise durch Rückätzen entfernt werden, so daß die lateralen Kontakte frei herausstehen.

Alternativ können die lateralen Kontakte auch - wie die herkömmlichen Oberflächenkontakte - in die seitlichen Chipflächen hineingearbeitet sein. Dann ist gegebenenfalls eine zusätzliche Isolationsschicht nötig, die den Chip seitlich um-

gibt, um einen Kurzschluß mit dem Bulksilizium beziehungsweise den anderen Kontakten zu verhindern. Werden die Halbleiterchips derart dicht nebeneinander auf der Platine angeordnet, daß nicht nur die lateralen Kontakte miteinander elektrisch verbunden werden, sondern auch das jeweilige Bulk-Silizium, könnten unerwünschte Wechselwirkungen auftreten, wenn verschiedenartige Chips mit unterschiedlichen Potentialen vorgespannt werden. Deshalb ist es in diesem Fall notwendig, die seitlichen Chipflächen zusätzlich voneinander zu isolieren.

Gemäß der vorliegenden Erfindung können vertikale und horizontal verbindende Kontakte gemeinsam zu einem einzigen Kontakt kombiniert werden, indem die Kontakte an der seitlichen Chipfläche so ausgeführt werden, daß sie bis zur Chipunterseite reichen. Dadurch können sowohl seitlich benachbarte als auch darunter liegende Chips gleichzeitig erreicht werden. Dies ist einerseits deshalb vorteilhaft, weil ein derartiger sowohl vertikal als auch horizontal verbindender Kontakt gleichzeitig in nur einem Verfahrensschritt kostengünstig und einfach hergestellt werden kann. Andererseits können dadurch Chips besonders platzsparend auf- und nebeneinander angeordnet werden. Dies führt zu niedrigeren Kosten des Gesamtsystems, da beispielsweise billigere Platinen mit weniger Leiterbahnen verwendet werden können, und auch zu einer geringeren Größe des Gesamtsystems.

Entsprechend können die Halbleiterchips auf engstem Raum angeordnet werden, beispielsweise in Stapeln oder Clustern. Es sind nunmehr kompakte dreidimensionale Chipanordnungen, bei denen elektrische Signale über Kontakte innerhalb der Chipseitenfläche ausgetauscht werden herstellbar.

Gemäß der vorliegenden Erfindung können auch die lateralen, in der Chipseitenfläche freiliegenden Kontakte mit herkömmlichen vertikalen Kontakten, die sich beispielsweise im Randbe-

reich befinden, aber nicht an der Chipseitenfläche freiliegen, kombiniert werden.

Die vorliegende Erfindung kann auf beliebige Halbleiterchips, die beispielsweise jeweils gleiche oder voneinander verschiedene elektronische Bauelemente aufweisen, angewendet werden. Sie kann insbesondere auf Platinen mit DRAM-Bausteinen wie beispielsweise SDRAMs (synchronous dynamic random access) oder auch Speichermodule wie beispielsweise SO-DIMMs (small outline - dual in-line memory module) angewendet werden. Die vorliegende Erfindung eignet sich für Bauelemente mit Packages wie beispielsweise vom CSP-("Chip Size Package")-Typ, bei denen der prozessierte Siliziumchip ohne Gehäuse direkt auf eine Platine aufgebracht wird.

Die vorliegende Erfindung ist auch auf Halbleiterchips anwendbar, die lediglich Leiterbahnen und keine elektronischen Schaltungen enthalten, d. h. die beispielsweise ausschließlich für die Verbindung benachbarter Chips verwendet werden.

Die Halbleiterchipanordnung der vorliegenden Erfindung ermöglicht eine effiziente Signalübertragung bei hoher Geschwindigkeit. Dabei treten erheblich kürzere Signalwege mit entsprechend geringeren Verlusten durch Rauschen und parasitäre Störelemente wie beispielsweise Widerstände auf, da Umwege über lange Leiterbahnen auf einer Platine und zusätzliche Kontaktwiderstände entfallen. Innerhalb der Platinen werden Verbindungsleitungen eingespart. Dadurch werden die Kosten bei Design und Layout der Platinen verringert und gegebenenfalls die Anzahl der Platinenschichten reduziert. Die Platinen können verkleinert werden, da benachbarte Chips ohne Zwischenraum direkt nebeneinander aufgebracht werden können. Dadurch wird die Größe der gesamte Chipanordnung verringert.

Da Umwege über Platinenleitungen nicht mehr erforderlich sind, werden die Signalwege verringert. Entsprechend sind niedrigere Signalamplituden realisierbar. Dieser Effekt ist



insbesondere bei horizontalen Verbindungen zwischen Stapeln aus mehreren aufeinander angeordneten Halbleiterchips vorteilhaft, wenn die Signale nicht über lange vertikale Viakontakte übertragen werden dürfen. Die parasitären Effekte durch Platinenleitungen, Kontaktwiderstände usw. werden verringert. Insbesondere ist auch keine Impedanzanpassung zwischen der Leiterbahn auf der Platine und den Leiterbahnen in den jeweiligen Chips erforderlich. Entsprechend sind höhere Frequenzen und kleinere Amplituden bei der Signalübertragung möglich.

10

Die Halbleiterchips können durch wesentlich kostengünstere Klebverfahren auf der Platine fixiert werden. Das thermische Budget wird durch den Klebprozeß nicht erhöht.

15 Die vorliegende Erfindung eröffnet neue Möglichkeiten zur Anbringung von Kontakten bei Chips mit einer hohen Anzahl von Kontakten. Bei Graphik-DRAMs mit 64 Datenausgängen oder Prozessorchips reicht häufig der Platz an der Oberfläche nicht mehr für alle Kontakte aus. Dadurch, daß laterale Kontakte an  
20 den Seitenflächen genutzt werden, können pro Chip mehr Kontakte untergebracht werden oder es ist eine Verringerung der Chipfläche möglich, ohne daß die Anzahl der Kontakte verringert werden muß.

25 Die vorliegende Erfindung ermöglicht darüber hinaus die Kontaktierung niederer Metallisierungsschichten, die nicht mit Via-Kontakten an die Chipoberfläche verbunden sind. Dies ist ein entscheidender Vorteil von lateralen Kontakten im Vergleich zu konventionellen Kontakten an der Chipoberseite, die  
30 alle über Via-Kontakte zur obersten Metallisierungsschicht herausgeführt werden müssen.

Vorzugsweise ist vorgesehen, daß ein drittes Halbleitersubstrat, das mindestens eine Leiterbahn sowie mindestens einen  
35 mit einer Leiterbahn elektrisch verbundenen Kontaktbereich, welcher in einer Seitenfläche des Halbleitersubstrats angeordnet ist, aufweist, wobei das erste und das zweite Halblei-

tersubstrat nebeneinander und das dritte Halbleitersubstrat derart auf dem zweiten Halbleitersubstrat angeordnet ist, daß eine senkrecht zu der Seitenfläche verlaufende erste Hauptfläche des dritten Halbleitersubstrats auf einer zweiten  
5 Hauptfläche des zweiten Halbleitersubstrats aufliegt und ein elektrischer Kontakt zwischen den Kontaktbereichen des dritten und des zweiten Halbleitersubstrats hergestellt ist.

Vorzugsweise ist vorgesehen, daß mindestens ein Halbleitersubstrat im Bereich einer ersten Hauptfläche eine oder mehrere Lagen von Schaltungen aufweist, von denen mindestens eine mit der mit dem Kontaktbereich verbundenen Leiterbahn verbunden ist.  
10

Vorzugsweise ist vorgesehen, daß auf die Kontaktbereiche in den Seitenflächen der Halbleitersubstrate ein leitfähiges Material aufgebracht ist. Das leitfähige Material kann ein Kleber, ein Lötmaterial, ein Bondmaterial oder ein anderweitiges, für leitende Verbindungen geeignetes Material sein.  
15

Vorzugsweise ist vorgesehen, daß die Halbleitersubstrate mit ihrer Unterseite an dem Trägerelement befestigt sind. Die Halbleitersubstrate können auf dem Trägerelement mit einem Kleber fixiert sein oder über elektrische Kontakte, etwa  
20 durch Lötverbindungen, oder durch mechanische Verbindungen an dem Trägerelement befestigt sein.  
25

Vorzugsweise ist vorgesehen, daß auf den Halbleitersubstraten dynamische Schreib-Lese-Speicher ausgebildet sind. Die Halbleitersubstrate können ebenso anderweitige Schaltungen bzw. elektronische Bauteile sein.  
30

Die vorliegende Erfindung wird im folgenden unter Bezugnahme auf die begleitenden Zeichnungen näher erläutert werden. Es  
35 zeigen:

- Figur 1A eine herkömmliche Halbleiterchipanordnung,
- Figur 1B zwei Halbleiterchips mit lateralen Kontakten sowie eine Platine vor dem Zusammenfügen,
- Figur 1C eine Halbleiterchipanordnung aus den beiden Halbleiterchips und der Platine gemäß einer ersten Ausführungsform der Erfindung,
- die Figuren 2A bis 2C eine Halbleiterchipanordnung aus den beiden Halbleiterchips und der Platine gemäß einer zweiten Ausführungsform der Erfindung und
- die Figuren 3A und 3B eine Halbleiterchipanordnung aus drei Halbleiterchips und einer Platine gemäß einer dritten Ausführungsform der Erfindung.

Figur 1A zeigt eine herkömmliche Halbleiterchipanordnung. In Figur 1A bezeichnet das Bezugszeichen 1 eine Platine, Bezugszeichen 2 einen ersten Halbleiter-Chip und Bezugszeichen 3 einen zweiten Halbleiter-Chip. Auf den Oberseiten 5 der Chips 2 und 3 sind sowohl die elektronischen Schaltkreise 11 angeordnet als auch die elektrischen Kontakte 4. Die Chips 2 und 3 werden derart auf der Platine 1 angeordnet, daß die Oberseiten 5 der Chips auf der Platine 1 aufliegen und ein elektrischer Kontakt zwischen den Kontakten 4 der Chips und den Kontakten 6 der Platine hergestellt wird.

Die Signalübertragung zwischen den Chips 2, 3 übernehmen in die Platine 1 eingebettete Leiterbahnen 7a, 7b, 7c, 7d und 7e. Dabei gibt es Ein- oder Mehrlagenplatinen, je nach der Dichte der Leiterbahnen. Je mehr Lagen benötigt werden, desto

teurer werden die Platinen und damit auch das elektronische Gesamtsystem.

In Figur 1B bezeichnet das Bezugszeichen 2 einen ersten Chip, der im Bereich seiner Oberseite 5 eine oder mehrere elektronische Schaltungen 11 oder Bauelemente, insbesondere Integrierte Schaltungen wie beispielsweise DRAM-Speicherzellen, Oberflächenkontakte 4 und in seiner Seitenfläche 12 laterale Kontakte 8 aufweist. Leiterbahnen 10, die eine elektrische Verbindung zwischen den lateralen Kontakten 8 und den elektronischen Schaltungen 11 bereitstellen, sind ebenfalls vorgesehen. Das Bezugszeichen 3 bezeichnet einen zweiten Chip, der im Bereich seiner Oberseite 5 ebenfalls mehrere elektronische Schaltungen, Oberflächenkontakte 4 und in seiner Seitenfläche 12 laterale Kontakte 8 aufweist. Das Bezugszeichen 1 bezeichnet eine Platine mit elektrischen Kontakten 6 und Leiterbahnen 7a, 7b, 7e.

Die elektronischen Schaltungen oder Bauelemente beider Chips 2 und 3 wurden in herkömmlicher Weise hergestellt. Zusätzlich besitzen die Chips jedoch noch elektrische Kontakte 8 in ihrer Seitenfläche. Diese lateralen Kontakte können dabei in beliebiger Weise hergestellt sein.

Gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung werden, wie in Figur 1C gezeigt ist, die beiden Chips 2 und 3 derart auf der Platine 1 aufgebracht, daß jeweils die Chip-Oberseiten 5 auf der Platinenoberfläche aufliegen und die Seitenflächen 12 der beiden Chips 2 und 3 einander derart berühren, daß die lateralen Kontakte 8, die in den Seitenflächen angeordnet sind, miteinander verbunden werden. Der elektrische Kontakt kann dabei durch Aufbringen eines leitfähigen Klebers oder einer leitfähigen Paste verstärkt werden. Diese werden jedoch nur lokal aufgebracht, um einen Kurzschluß des lateralen Kontakts mit lateralen Kontakten an einer anderen Stelle des Chips oder mit dem Bulk-Silizium zu verhindern. Es

ist auch möglich, den elektrischen Kontakt durch zwischen den Chips angeordnete leitende Zwischenelemente zu verbessern.

Dabei werden auch die Oberseitenkontakte 4 der Chips 2, 3 mit den elektrischen Kontakten 6 der Platine beispielsweise durch geeignete Lötverfahren elektrisch verbunden. Diese herkömmlichen vertikalen Kontakte sind für die Übertragung der Signale zu entfernten Chips erforderlich. Durch das Löten werden die Chips auch auf der Platine fixiert. Erfolgt der elektrische Anschluß der Leiterbahnen des Halbleiterchips ausschließlich über laterale Kontakte, so kann der Halbleiterchip mit kostengünstigeren Klebverfahren auf der Platine fixiert werden.

Damit die lateralen Kontakte 8 der Chips 2 und 3 miteinander verbunden werden, ist eine genaue laterale Positionierung der Chips in der Größenordnung der lateralen Ausdehnung der Kontakte erforderlich. Dies ist mit heutigen Automaten erreichbar, deren Positioniergenauigkeit im Bereich von Mikrometern oder darunter liegt, da die laterale Ausdehnung der Kontakte etwa 100  $\mu\text{m}$  beträgt.

Wie in Figur 1C gezeigt, liegen beide Chips 2, 3 direkt nebeneinander auf der Platine 1. Es sind jeweils zwei laterale Kontakte 8 ausgebildet, die durch einen lokal aufgetragenen leitfähigen Kleber, eine leitfähige Paste, ein Lötmaterial oder Bondmaterial oder durch ein anderes leitfähiges Materialien verbunden sind und über die die Chips miteinander elektrische Signale austauschen. Dadurch werden in der Platine zwei Leiterbahnen 7c und 7d eingespart, und die Platinengröße kann insgesamt reduziert werden.

Bei Bedarf kann die Anordnung gehäust werden, nachdem die Halbleiterchips auf der Platine aufgebracht worden sind.

Gemäß einer zweiten Ausführungsform der vorliegenden Erfindung werden, wie in den Figuren 2A bis 2C veranschaulicht,

zwei Halbleiterchips 2, 3 übereinander auf einer Platine 1 angeordnet und über vertikal verbindende laterale Kontakte 8 miteinander verbunden. Die beiden Halbleiterchips 2 und 3 haben denselben Aufbau wie die Halbleiterchips der ersten Ausführungsform, und dieselben Bezugszeichen bezeichnen jeweils dieselben Komponenten. Allerdings sind gemäß dieser Ausführungsform die lateralen Kontakte 8 in der Chip-Seitenfläche 12 derart ausgeführt, daß sie sich bis zur Chip-Unterseite 13 und bis zur Chip-Oberseite 12 erstrecken.

10

Zunächst wird, wie in Figur 2A gezeigt, der erste Halbleiterchip 2 mit der Oberseite 5 nach unten auf die Platine 1 aufgebracht, so daß seine Oberseitenkontakte 4 mit den Platinenkontakten 6 elektrisch verbunden werden, und mit bekannten Verfahren fixiert. Die Unterseite des Chips liegt nunmehr oben. Sodann wird, wie in Figur 2B veranschaulicht ist, der zweite Halbleiterchip 3 derart auf die Unterseite des ersten Halbleiterchips 2 aufgebracht, daß seine Oberseite auf der Unterseite des ersten Halbleiterchips 2 aufliegt. Er wird derart angeordnet, daß seine lateralen Kontakte 8 in Kontakt mit den lateralen Kontakten 8 des ersten Halbleiterchips 2 stehen. Gegebenenfalls wird dieser elektrische Kontakt durch lokales Aufbringen z. B. eines leitfähigen Klebers oder einer leitfähigen Paste verstärkt. Der sich ergebende Aufbau ist in Figur 2C gezeigt.

25

Die lateralen Kontakte 8 können nun auf der Seite der Platine 1 mit Platinenkontakten verbunden werden, mit den lateralen Kontakten eines dritten Halbleiterchips oder mit Leiterbahnen 10 im Inneren des ersten Halbleiterchips 2 verbunden sein. Auch hier kann nach dem Zusammenbau der Komponenten die Packung gehäust werden.

30

Gemäß einer dritten Ausführungsform der vorliegenden Erfindung werden zunächst zwei Halbleiterchips 2, 3 nebeneinander auf einer Platine 1 so angeordnet, daß ihre lateralen Kontakte miteinander verbunden sind, wie in Figur 3A gezeigt. Auch

35

hier entspricht der Aufbau der verwendeten Halbleiterchips dem der vorhergehenden Ausführungsformen, und die in Figur 3A gezeigte Anordnung entspricht der in Figur 1B gezeigten Anordnung gemäß der ersten Ausführungsform der Erfindung. Allerdings erstreckt sich der laterale Kontakt 8 des zweiten Halbleiterchips 3 innerhalb seiner Seitenfläche 12 bis an seine Unterseite 13 und an seine Oberseite 5.

In einem nächsten Schritt wird ein dritter Halbleiterchip 9 derart auf dem zweiten Halbleiterchip 3 aufgebracht, daß seine Oberseite auf der Rückseite des zweiten Halbleiterchips 3 aufliegt und seine lateralen Kontakte 8 mit den lateralen vertikalen Kontakten des zweiten Halbleiterchips, gegebenenfalls nach lokalem Auftragen eines leitfähigen Klebers oder einer leitfähigen Paste, verbunden sind. Der dritte Halbleiterchip 9 ist ähnlich wie der erste und der zweite aufgebaut. Seine lateralen Kontakte 8 können sich je nach weiterer Verwendung, beispielsweise, wenn zusätzliche Chips aufgebracht und über laterale vertikale Kontakte verbunden werden sollen, bis zu seiner Unterseite 13 erstrecken.

Es ergibt sich der in Figur 3B gezeigte Aufbau.

Entsprechend können mehrere Lagen gleichartiger oder unterschiedlicher Halbleiterchips auf- und nebeneinandergestapelt werden und miteinander durch die lateral an den Chipseitenwänden angordneten Kontakte elektrisch verbunden werden.

Ferner können einander benachbarte Halbleitersubstrate aneinander gepreßt an dem Trägerelement fixiert werden, so daß ein mechanischer Druck die elektrische Verbindung zwischen den Halbleitersubstraten bzw. ihren Kontaktbereichen herstellt.

## Patentansprüche

1. Halbleiterchipanordnung mit

- einem Trägerelement (1) und

- 5 - mindestens einem ersten (2) und einem zweiten Halbleiter-  
substrat (3),

wobei jedes der beiden Halbleitersubstrate (2, 3) mindestens  
eine Leiterbahn (10) sowie mindestens einen mit einer Leiter-  
bahn (10) elektrisch verbundenen Kontaktbereich (8), welcher  
10 in einer Seitenfläche (12) des Halbleitersubstrats (2, 3) an-  
geordnet ist, aufweist und

wobei die zwei Halbleitersubstrate (2, 3) derart nebeneinan-  
der oder aufeinander auf dem Trägerelement (1) angeordnet

sind, daß jeweils eine senkrecht zu einer Seitenfläche (12)  
15 verlaufende erste Hauptfläche (5) der Halbleitersubstrate (2,  
3) auf dem Trägerelement (1, 3) oder auf dem jeweils anderen  
Halbleitersubstrat (3, 2) aufliegt und ein elektrischer Kon-  
takt zwischen den Kontaktbereichen (8) der zwei Halbleiter-  
substrate (2, 3) hergestellt ist.

20

2. Halbleiterchipanordnung nach Anspruch 1,

g e k e n n z e i c h n e t d u r c h

ein drittes Halbleitersubstrat (9), das mindestens eine Lei-  
terbahn (10) sowie mindestens einen mit einer Leiterbahn (10)  
25 elektrisch verbundenen Kontaktbereich (8), welcher in einer  
Seitenfläche des Halbleitersubstrats angeordnet (9) ist, auf-  
weist,

wobei das erste und das zweite Halbleitersubstrat (2, 3) ne-  
beneinander und das dritte Halbleitersubstrat (9) derart auf

30 dem zweiten Halbleitersubstrat (3) angeordnet ist, daß eine  
senkrecht zu der Seitenfläche (12) verlaufende erste

Hauptfläche des dritten Halbleitersubstrats (9) auf einer  
zweiten Hauptfläche des zweiten Halbleitersubstrats (3) auf-  
liegt und ein elektrischer Kontakt zwischen den Kontaktberei-  
35 chen (8) des dritten (9) und des zweiten Halbleitersubstrats  
(3) hergestellt ist.



3. Halbleiterchipanordnung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet, daß  
mindestens ein Halbleitersubstrat (2, 3, 9) im Bereich einer  
ersten Hauptfläche eine oder mehrere Lagen von Schaltungen  
5 (11) aufweist, von denen mindestens eine (11) mit der mit dem  
Kontaktbereich (8) verbundenen Leiterbahn (10) verbunden ist.

4. Halbleiterchipanordnung nach einem der Ansprüche 1 bis 3,  
dadurch gekennzeichnet, daß  
10 auf die Kontaktbereiche (8) in den Seitenflächen der Halblei-  
tersubstrate (2, 3, 9) ein leitfähiges Material lokal aufge-  
bracht ist.

5. Halbleiterchipanordnung nach einem der Ansprüche 1 bis 4,  
15 dadurch gekennzeichnet, daß  
die Halbleitersubstrate (2, 3, 9) mit ihrer Unterseite an dem  
Trägerelement (1) befestigt sind.

6. Halbleiterchipanordnung nach einem der Ansprüche 1 bis 5,  
20 dadurch gekennzeichnet, daß  
auf den Halbleitersubstraten (2, 3, 9) dynamische Schreib-  
Lese-Speicher ausgebildet sind.

7. Verfahren zur Herstellung einer Halbleiterchipanordnung  
mit den Schritten:

- Bereitstellen eines Trägerelements (1),
- Bereitstellen mindestens eines ersten (2) und eines zweiten  
Halbleitersubstrats (3), wobei jedes der beiden Halbleiter-  
substrate (2, 3) mindestens eine Leiterbahn (10) sowie min-  
30 destens einen mit einer Leiterbahn (10) elektrisch verbun-  
denen Kontaktbereich (8), welcher in einer Seitenfläche  
(12) des Halbleitersubstrats angeordnet ist, aufweist,
- Aufbringen der zwei Halbleitersubstrate (2, 3) derart ne-  
beneinander oder aufeinander auf dem Trägerelement (1), daß  
35 jeweils eine senkrecht zu der Seitenfläche (12) verlaufende  
erste Hauptfläche (5) der Halbleitersubstrate (2, 3) auf  
dem Trägerelement (1, 3) oder auf dem jeweils anderen Halb-

leitorsubstrate (3, 2) aufliegt und ein elektrischer Kontakt zwischen den Kontaktbereichen (8) der zwei Halbleitersubstrate (2, 3) hergestellt ist.

5 8. Verfahren nach Anspruch 7,

g e k e n n z e i c h n e t d u r c h den zusätzlichen Schritt

- Aufbringen eines dritten Halbleitersubstrats (9), das mindestens eine Leiterbahn (10) sowie mindestens einen mit einer Leiterbahn (10) elektrisch verbundenen Kontaktbereich (8), welcher in einer Seitenfläche des Halbleitersubstrats (9) angeordnet ist, aufweist,

10 wobei das erste und das zweite Halbleitersubstrat (2, 3) nebeneinander und das dritte Halbleitersubstrat (9) derart auf dem zweiten Halbleitersubstrat (3) angeordnet wird, daß eine senkrecht zu der Seitenfläche (12) verlaufende erste Hauptfläche (5) des dritten Halbleitersubstrats (9) auf einer zweiten Hauptfläche des zweiten Halbleitersubstrats (3) aufliegt und ein elektrischer Kontakt zwischen den Kontaktbereichen (8) des dritten (9) und des zweiten Halbleitersubstrats (3) hergestellt wird.

9. Verfahren nach Anspruch 7 oder 8,

d a d u r c h g e k e n n z e i c h n e t , daß

25 vor dem Aufbringen der Halbleitersubstrate (2, 3, 9) ein leitfähiges Material lokal an den Kontaktbereichen (8) in den Seitenflächen der Halbleitersubstrate (2, 3, 9) aufgebracht wird.

# Halbleiterchipanordnung und Verfahren zu ihrer Herstellung

## Zusammenfassung

5 Die vorliegende Erfindung bezieht sich auf eine Halbleiter-  
chipanordnung, bei der der Austausch von Signalen zwischen  
den Halbleitersubstraten (2, 3, 9) statt über eine Platine  
(1) über laterale Kontakte (8) in den Substratseitenflächen  
(12) erfolgt. Diese lateralen Kontakte können als horizontal  
10 verbindende Kontakte zwischen nebeneinander liegenden Halb-  
leitersubstraten (2, 3) oder auch als vertikal verbindende  
Kontakte zwischen übereinander liegenden Halbleitersubstraten  
(3, 9) eingesetzt werden, wodurch sich auf einer Platine (1)  
verlaufende Verbindungsleitungen zwischen Halbleitersubstra-  
15 ten (2, 3) erübrigen.

(Figur 1B)

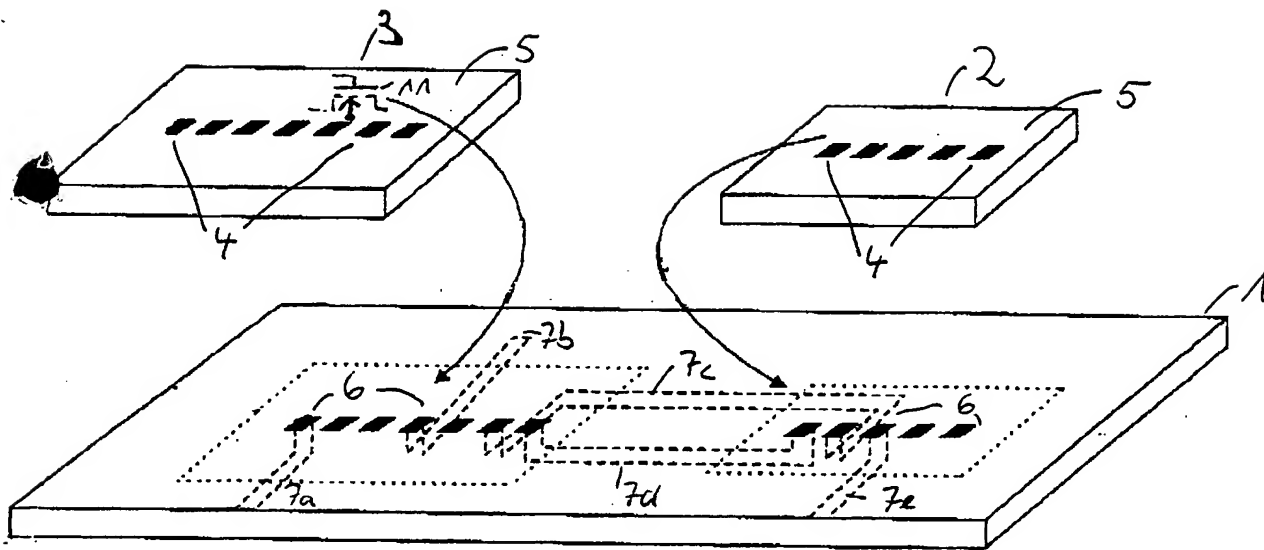


FIG. 1A

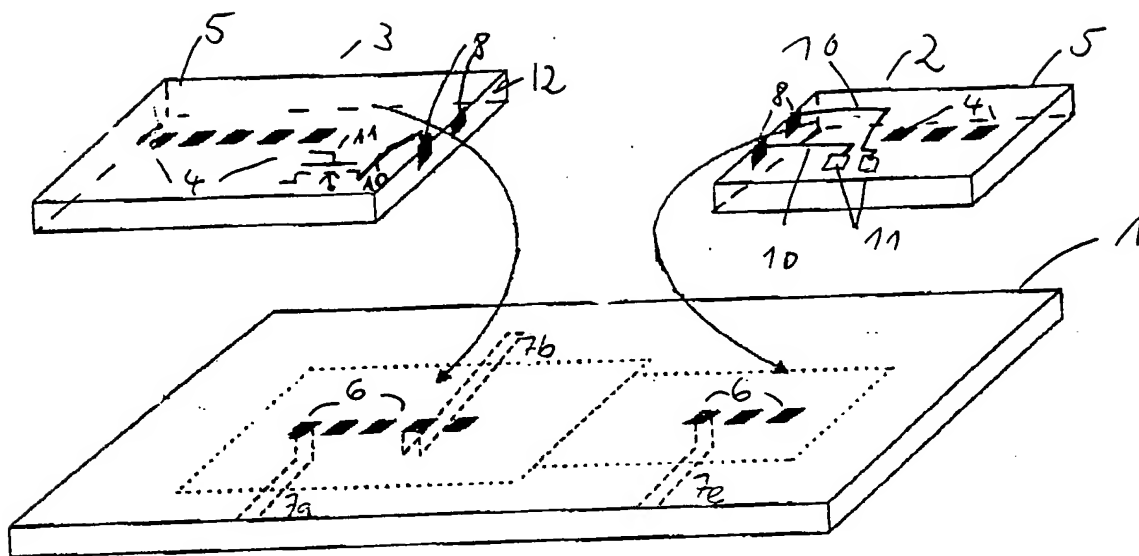


FIG. 1B

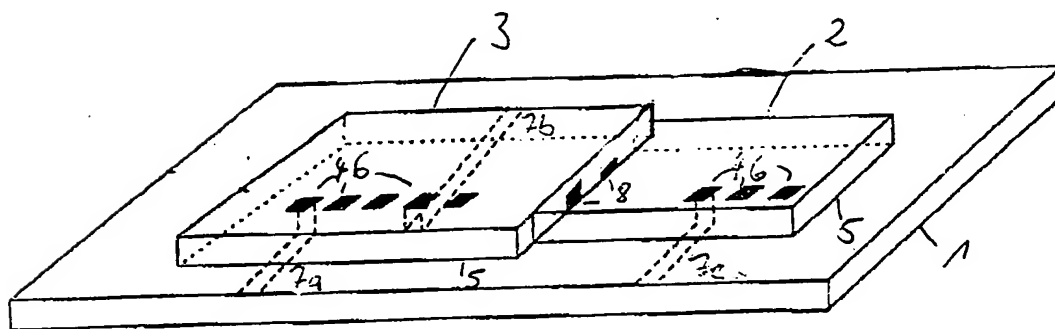


FIG. 1C

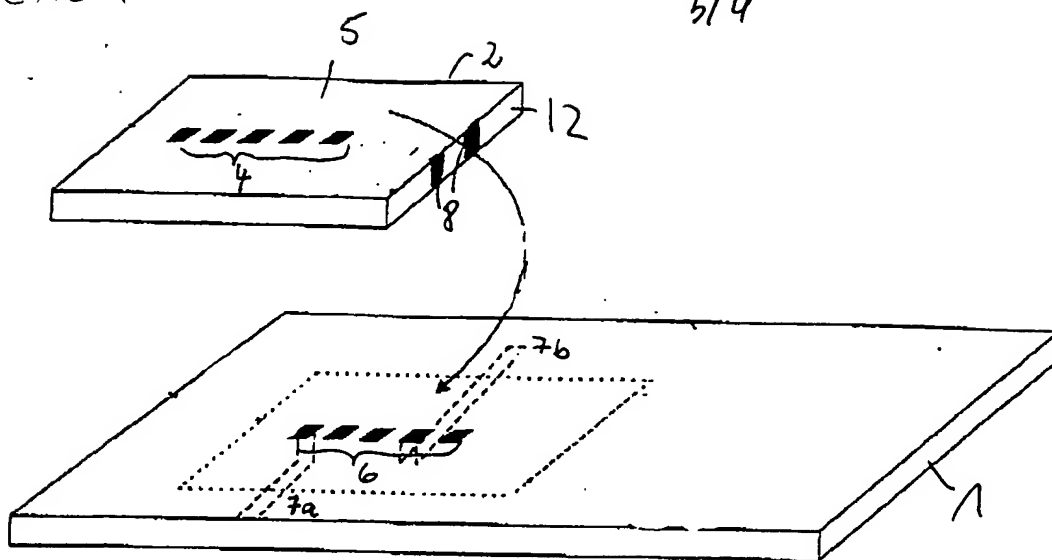


FIG. 2A

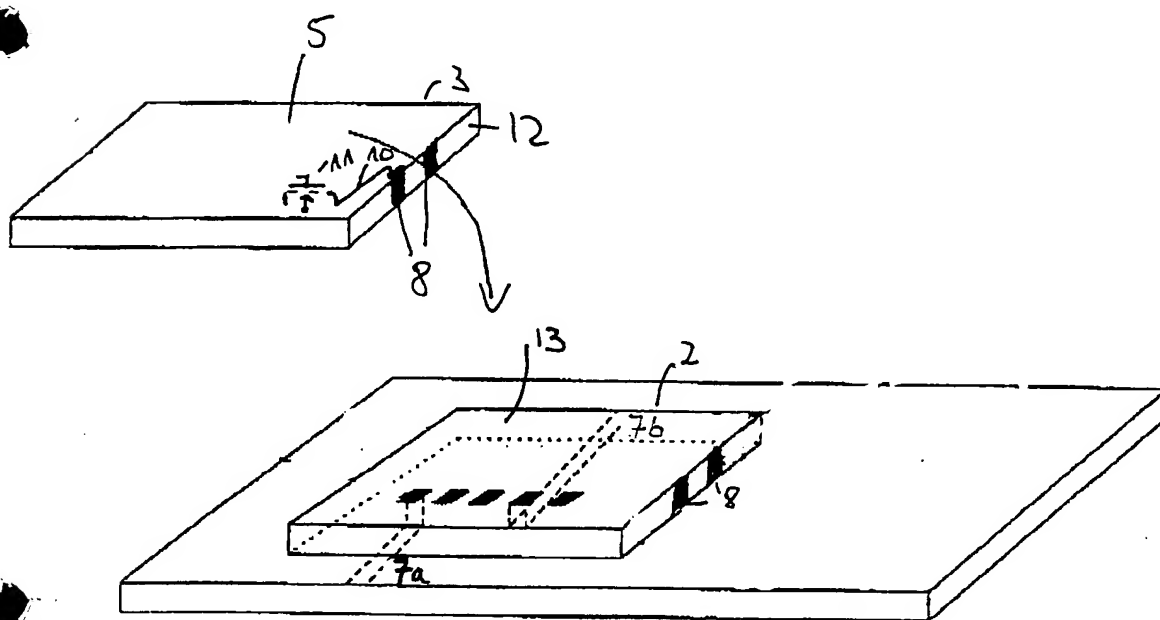


FIG. 2B

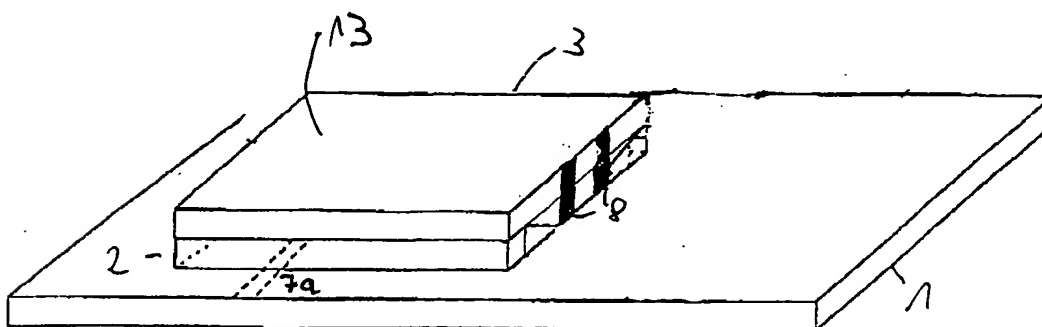


FIG. 2C

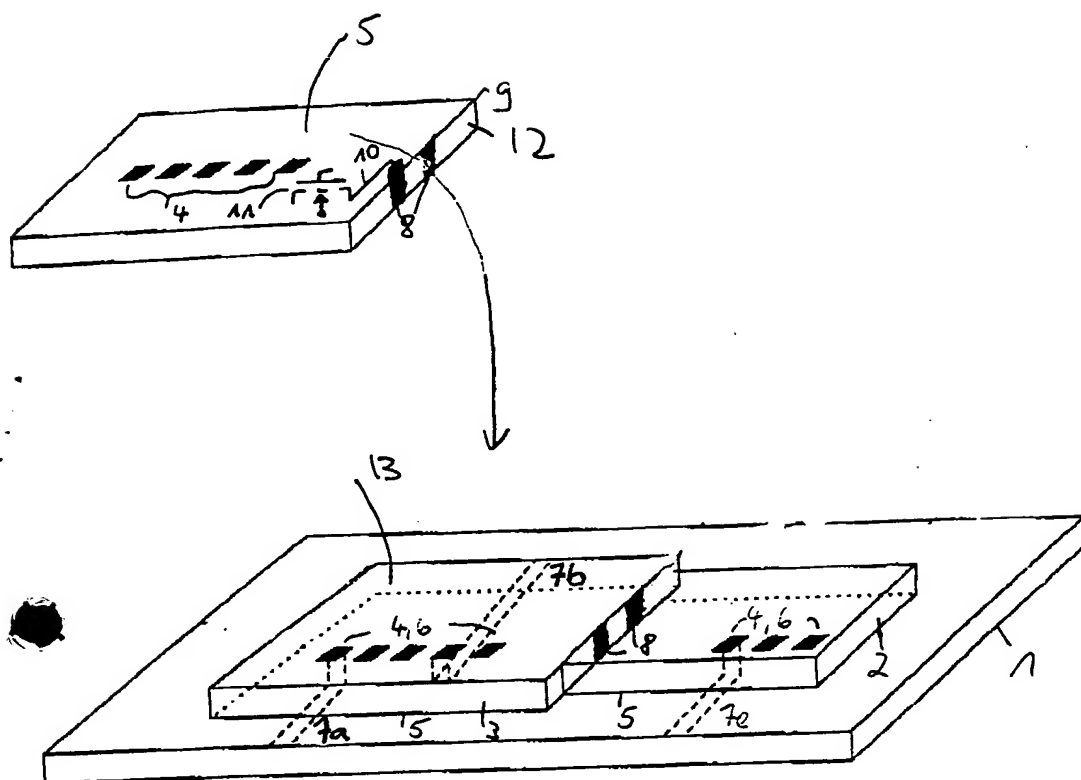


FIG. 3A

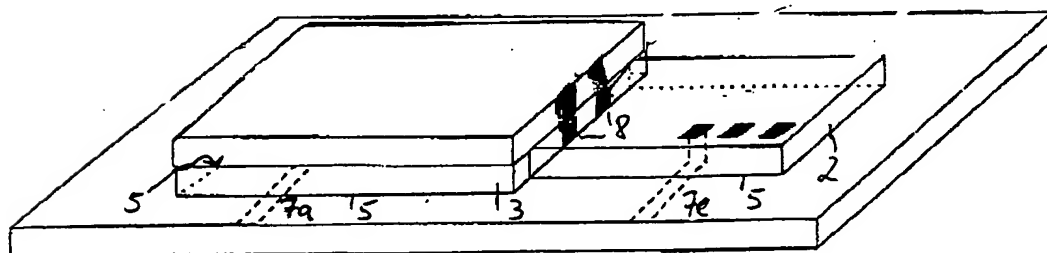


FIG. 3B